

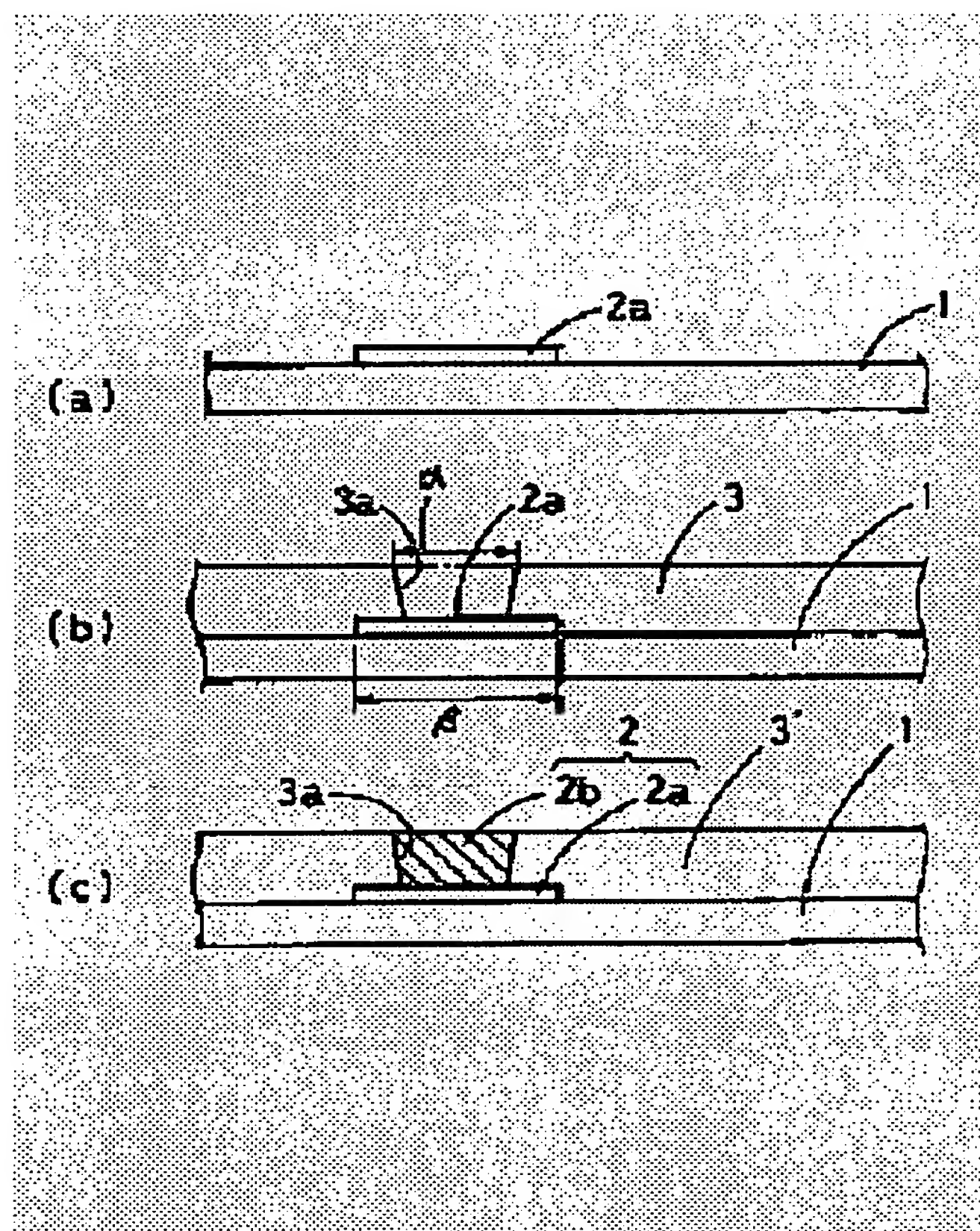
**METHOD FOR WIRING FORMATION OF DISPLAY DEVICE, MANUFACTURE OF DISPLAY DEVICE, AND DISPLAY DEVICE**

Patent number: JP10209463  
Publication date: 1998-08-07  
Inventor: MINO YOSHIKO  
Applicant: MATSUSHITA ELECTRIC IND CO LTD  
Classification:  
- International: G02F1/1343; G02F1/136; G09F9/30; H01L21/336; H01L29/786;  
G02F1/13; G09F9/30; H01L21/02; H01L29/66; (IPC1-7):  
H01L29/786; G02F1/1343; G02F1/136; G09F9/30; H01L21/336  
- european:  
Application number: JP19970012846 19970127  
Priority number(s): JP19970012846 19970127

Report a data error here

**Abstract of JP10209463**

**PROBLEM TO BE SOLVED:** To allow reduction of a writing resistance to be compatible with brightness (aperture ratio) of display picture. **SOLUTION:** A first wiring pattern 2a of light transmitting conductor is formed on a display board 1, and an insulating film 3' formed through a thermal treatment is provided covering the first wiring pattern 2a. Further, an opening 3a is provided to the insulating film 3' so as to reach the first wiring pattern 2a, and shielding electrical conductor is filled into the opening 3a through a plating method which is carried out using the insulating film 3' as a mask, whereby a second wiring pattern 2b is formed by filling.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-209463

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 29/786  
21/336  
G 0 2 F 1/1343  
1/136 5 0 0  
G 0 9 F 9/30 3 3 8

F I  
H 0 1 L 29/78 6 1 2 D  
G 0 2 F 1/1343  
1/136 5 0 0  
G 0 9 F 9/30 3 3 8

審査請求 未請求 請求項の数11 O L (全 11 頁)

(21) 出願番号 特願平9-12846  
(22) 出願日 平成9年(1997) 1月27日

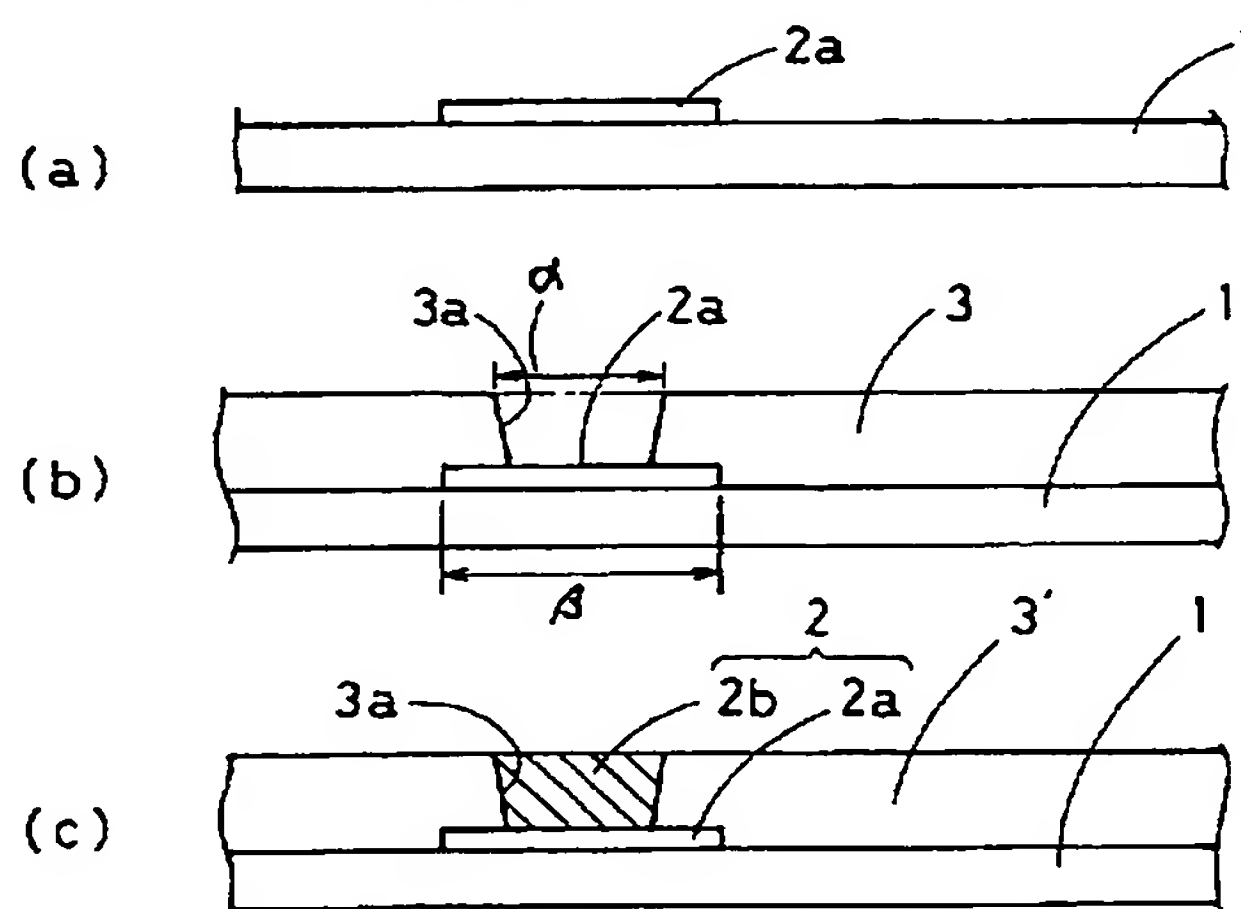
(71) 出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72) 発明者 美濃 美子  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(74) 代理人 弁理士 岡田 和秀

(54) 【発明の名称】 表示装置の配線形成方法、表示装置の製造方法、および表示装置

(57) 【要約】

【課題】 配線の低抵抗化と表示画面の明るさ(開口率)の向上との両立。

【解決手段】 表示用基板1上に透光性導電体からなる第1の配線パターン2a、7a、11aを形成したうえで、表示用基板1の第1の配線パターン形成面を覆って絶縁レジスト膜3、9、12を加熱処理してなる絶縁膜3'、9'、12'を形成する。さらに、絶縁膜3'、9'、12'に第1の配線パターン2a、7a、11aに達する開口3a、9a、12aを形成したのち、絶縁膜3'、9'、12'をマスクとしたメッキ法により開口3a、9a、12a内に遮光性導電体を充填することで第2の配線パターン2a、7b、11bを充填形成する。



## 【特許請求の範囲】

【請求項 1】 表示用基板上に第 1 の配線パターンを形成する工程と、前記表示用基板の第 1 の配線パターン形成面を覆って絶縁膜を形成する工程と、前記絶縁膜に第 1 の配線パターンに達する開口を形成する工程と、前記開口内に第 2 の配線パターンを充填形成する工程とを含むことを特徴とする表示装置の配線形成方法。

【請求項 2】 請求項 1 記載の表示装置の配線形成方法であって、

前記第 2 の配線パターンを、前記絶縁膜をマスクとしたメッキ法により前記開口内に充填形成することを特徴とする表示装置の配線形成方法。

【請求項 3】 請求項 1 または 2 記載の表示装置の配線形成方法であって、前記表示用基板に絶縁レジストを塗布し、この絶縁レジストを加熱処理することで前記絶縁膜を形成することを特徴とする表示装置の配線形成方法。

【請求項 4】 請求項 3 記載の表示装置の配線形成方法であって、前記絶縁レジストの誘電率が 3 以下であることを特徴とする表示装置の配線形成方法。

【請求項 5】 請求項 3 または 4 記載の表示装置の配線形成方法であって、前記絶縁レジストとして、アクリル系、シリコン系、フッ素系、ないしポリイミド系のレジストを用いることを特徴とする表示装置の配線形成方法。

【請求項 6】 請求項 3 ないし 5 のいずれか記載の表示装置の配線形成方法であって、前記絶縁レジストとして感光性レジストを用いるとともに、この感光性レジストにフォトリソグラフィ工程を施すことで前記開口を形成することを特徴とする表示装置の配線形成方法。

【請求項 7】 表示用基板上にゲート配線の基底部となる第 1 の配線パターンを形成する工程と、前記表示用基板の第 1 の配線パターン形成面を覆って絶縁レジスト膜を形成する工程と、前記絶縁レジスト膜に第 1 の配線パターンに達する開口を形成する工程と、前記開口が形成された絶縁レジスト膜を加熱処理する工程と、前記絶縁レジスト膜をマスクとしたメッキ法により前記開口にゲート配線の本体部となる第 2 の配線パターンを充填形成する工程とを含むことを特徴とする表示装置の製造方法。

【請求項 8】 ゲート配線がパターン形成された表示用基板上に、半導体層、絶縁膜を順次形成したのち、半導体層、絶縁膜の不要部を除去する工程と、表示用基板上に、ソース・ドレイン配線の基底部となる第 1 の配線パターンと画素電極とを形成する工程と、半導体層、絶縁膜、第 1 の配線パターン、および画素電極を覆って表示用基板に絶縁レジスト膜を形成する工程と、

前記絶縁レジスト膜に、第 1 の配線パターンに達する第 1 の開口、および画素電極に達する第 2 の開口をパターン形成する工程と、

前記第 1、第 2 の開口が形成された絶縁レジスト膜を加熱処理する工程と、

前記第 1 の開口を除いて絶縁レジスト膜を覆う被覆膜を表示用基板に形成する工程と、

前記被覆膜をマスクとしたメッキ法により、前記第 1 の開口にソース・ドレイン配線の本体部となる第 2 の配線パターンを充填形成する工程と、

前記被覆膜を除去する工程とを含むことを特徴とする表示装置の製造方法。

【請求項 9】 ゲート配線がパターン形成された表示用基板上に、半導体層、絶縁膜を順次形成したのち、半導体層、絶縁膜の不要部を除去する工程と、

ソース・ドレイン配線の基底部となる第 1 の配線パターンを表示用基板上に形成する工程と、

半導体層、絶縁膜、および第 1 の配線パターンを覆って表示用基板に絶縁レジスト膜を形成する工程と、

前記絶縁レジスト膜に、第 1 の配線パターンに達する開口を形成する工程と、

前記開口が形成された絶縁レジスト膜を加熱処理する工程と、

前記絶縁レジスト膜をマスクとしたメッキ法により、前記開口にソース・ドレイン配線の本体部となる第 2 の配線パターンを充填形成する工程と、

表示用基板上に画素電極を形成する工程とを含むことを特徴とする表示装置の製造方法。

【請求項 10】 表示用基板上に表示用配線が形成された表示装置であって、前記表示用配線は、表示用基板上に形成された透光性導電体からなる第 1 の配線パターンと、第 1 の配線パターン上に形成された遮光性導電体からなる第 2 の配線パターンとを有することを特徴とする表示装置。

【請求項 11】 請求項 10 記載の表示装置であって前記第 1 の配線パターンを ITO (Indium Tin Oxide) から構成し、前記第 2 の配線パターンを金ないしインジウムで構成したことを特徴とする表示装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、表示装置のアレイ構成やその製造方法に関するものである。

【0002】

【従来の技術】 従来の液晶表示装置を構成する薄膜トランジスタ（以下 TFT と略す）アレイ基板 110 は、次のようにして製造されていた。

【0003】 まず、図 6 (a) に示すように、絶縁性基板からなる表示用基板 100 上にアルミニウム等の金属からなるゲート配線 101 をパターン形成する。次に、表示用基板 100 上に、ゲート絶縁膜 102、シリコン



半導体層 103、及びチャネル保護膜 104 を順に成膜し、ゲート配線 101 上のチャネル保護膜 104 をパターンニングする。

【0004】次に、シリコン半導体層 103 にリンなどの不純物をドーピングして、 $n^+$ シリコン領域を形成したのち、図 6 (b) に示すように、 $n^+$ シリコン領域を形成したシリコン半導体層 103 をパターンニングする。

【0005】次に、表示用基板 100 に、Indium Tin Oxide (以下、ITO と略す) からなる透明導電膜を成膜し、さらに、この透明導電膜をパターンニングすることにより、図 6 (c) に示すように画素電極 105 を形成する。

【0006】次に、表示用電極 100 上に、ソース・ドレイン配線 106 をパターン形成する。そして最後に、図 6 (d) に示すように、ソース・ドレイン配線 106 の上層側に  $\text{SiNx}$  膜を形成したのち、この  $\text{SiNx}$  膜をパターンニングすることで絶縁保護膜 107 を形成することで、液晶表示装置の TFT アレイ基板 110 が完成する。図 7 は、従来の TFT アレイ基板 110 の平面図である。

【0007】

【発明が解決しようとする課題】一般に、液晶表示装置においては、各画素領域における画素開口部 108 (ゲート配線 101 とソース・ドレイン配線 106 とによって囲まれた範囲、図 7 参照) の面積が大きい程、光透過率が高くなり、低電力で明るい表示を行うことができるという特徴がある。

【0008】一方、液晶表示装置の大型化等に伴って、ゲート配線 101 およびソース・ドレイン配線 106 の低抵抗化が要望されている。これら配線 101、106 を低抵抗化する手法としては、・配線幅を広くする、・配線の膜厚を厚くする、といった手法が考えられるが、従来の液晶表示装置では、以下に説明する理由により膜厚を厚くする手法は採用できなかった。

【0009】TFT アレイ基板 110 の製造プロセスを安定化させる、すなわち、断線等の不良を生じさせないためには、積層する各層のカバレッジ (被覆性) を確実なものとしなければならない。これに対して、ゲート配線 101 やソース・ドレイン配線 106 の膜厚を厚くすることは、これら配線 101、106 のカバレッジを悪化させる要因となる。すなわち、膜厚を厚くすれば、これら配線 101、106 の上層に設ける膜 (ゲート絶縁膜 102、絶縁保護膜 107 等) に段差が発生して断線等の不良が発生しやすくなってしまふ。そのため、従来の液晶表示装置では、低抵抗化を図る手法として、膜厚を厚くする手法を採用することはできず、ゲート配線 101 やソース・ドレイン配線 106 の配線幅を広くする手法を取らざるを得なかった。

【0010】しかしながら、配線幅を広くすると、1 画素の領域における各配線 101、106 の占有面積が大

きくなってしまい、それに伴って、画素開口部 108 が小さくなり、液晶表示装置として表示画面の明るさに問題が生じてしまった。

【0011】このように、従来の液晶表示装置では、配線の低抵抗化と表示画面の明るさの向上とが両立せず、これらを両立させることが要望されていた。

【0012】

【課題を解決するための手段】本発明は、上記課題を達成するために、表示用基板上に第 1 の配線パターンをパターン形成する工程と、前記表示用基板の第 1 の配線パターン形成面を覆って絶縁膜を形成する工程と、前記絶縁膜に第 1 の配線パターンに達する開口を形成する工程と、前記開口に第 2 の配線パターンを充填する工程とを含むことを特徴を有しており、これによって、配線の低抵抗化と表示画面の明るさの向上とを両立させている。

【0013】

【発明の実施の形態】本発明の請求項 1 に記載の発明は、表示用基板上に第 1 の配線をパターンを形成する工程と、前記表示用基板の第 1 の配線パターン形成面を覆って絶縁膜を形成する工程と、前記絶縁膜に第 1 の配線パターンに達する開口を形成する工程と、前記開口内に第 2 の配線パターンを充填形成する工程とを含むことに特徴を有しており、これにより次のような作用を有する。すなわち、絶縁膜の厚みを厚くして開口の深さを深くすれば、第 2 の配線パターンの厚みが厚くなってその配線抵抗が小さくなる。また、第 2 の配線パターンの厚みが厚くなっても第 2 の配線パターンは絶縁膜内に充填されているので、第 2 の配線パターンと絶縁膜とは平坦化して、両者の間に段差がほとんど形成されない。

【0014】本発明の請求項 2 に記載の発明は、請求項 1 に係る表示装置の配線形成方法において、前記第 2 の配線パターンを、前記絶縁膜をマスクとしたメッキ法により前記開口内に充填形成することに特徴を有しており、これにより、次のような作用を有する。すなわち、第 2 の配線パターンを確実にかつ容易に開口内に充填形成することができる。また、メッキ法はメッキ時間で膜厚を制御できる上、メッキ材料の消費量も開口を充填するのに必要な量だけでよくなることから、高価な金 (Au) でさえも無駄なく第 2 の配線パターンとして用いることができる。

【0015】本発明の請求項 3 に記載の発明は、請求項 1 または 2 に係る表示装置の配線形成方法において、前記表示用基板に絶縁レジストを塗布し、この絶縁レジストを加熱処理することで前記絶縁膜を形成することに特徴を有しており、これにより次のような作用を有する。すなわち、厚みのある絶縁膜を確実に形成することができる。

【0016】本発明の請求項 4 に記載の発明は、請求項 3 に係る表示装置の配線形成方法において、前記絶縁レジストの誘電率が 3 以下であることに特徴を有してお

り、これにより、次のような作用を有する。すなわち、絶縁性の高い絶縁膜を形成することができる。また、絶縁レジストを層間絶縁膜として用いた場合の限界膜厚3 $\mu$ mを満足させることができる。

【0017】本発明の請求項5に記載の発明は、請求項3または4に係る表示装置の配線形成方法において、前記絶縁レジストとして、アクリル系、シリコン系、フッ素系、ないしポリイミド系のレジストを用いることに特徴を有しており、これにより次のような作用を有する。すなわち、表示装置の製造仕様および表示装置の操作仕様などに必要な絶縁性、透明性、耐熱性、耐光性、耐薬品性、加工性、平坦性などに対応することが可能となる。

【0018】本発明の請求項6に記載の発明は、請求項3ないし5のいずれかに係る表示装置の配線形成方法において、前記絶縁レジストとして感光性レジストを用いるとともに、この感光性レジストにフォトリソグラフィ工程を施すことで前記開口を形成することに特徴を有しており、これにより次のような作用を有する。すなわち、開口を精度よく形成することができるようになる。

【0019】本発明の請求項7に記載の発明は、表示用基板上にゲート配線の基底部となる第1の配線パターンを形成する工程と、前記表示用基板の第1の配線パターン形成面を覆って絶縁レジスト膜を形成する工程と、前記絶縁レジスト膜に第1の配線パターンに達する開口を形成する工程と、前記開口が形成された絶縁レジスト膜を加熱処理する工程と、前記絶縁レジスト膜をマスクとしたメッキ法により前記開口にゲート配線の本体部となる第2の配線パターンを充填形成する工程とを含むことに特徴を有しており、これにより次のような作用を有する。すなわち、絶縁レジスト膜の厚みを厚くして開口の深さを深くすれば、第2の配線パターンの厚みが厚くなってゲート配線の配線抵抗が小さくなる。また、第2の配線パターンの厚みが厚くなくても第2の配線パターンは絶縁レジスト膜内に充填されているので、第2の配線パターンと絶縁レジスト膜とは平坦化してその間に段差がほとんど形成されない。

【0020】本発明の請求項8に記載の発明は、ゲート配線がパターン形成された表示用基板上に、半導体層、絶縁膜を順次形成したのち、半導体層、絶縁膜の不要部を除去する工程と、表示用基板上に、ソース・ドレイン配線の基底部となる第1の配線パターンと画素電極とをパターン形成する工程と、半導体層、絶縁膜、第1の配線パターン、および画素電極を覆って表示用基板に絶縁レジスト膜を形成する工程と、前記絶縁レジスト膜に、第1の配線パターンに達する第1の開口、および画素電極に達する第2の開口をパターン形成する工程と、第1、第2の開口が形成された絶縁レジスト膜を加熱処理する工程と、前記第1の開口を除いて前記絶縁レジスト膜を覆う被覆膜を前記表示用基板に形成する工程と、前

記被覆膜をマスクとしたメッキ法により、前記第1の開口にソース・ドレイン配線の本体部となる第2の配線パターンを充填形成する工程と、前記被覆膜を除去する工程とを含むことに特徴を有しており、これにより次のような作用を有する。すなわち、絶縁レジスト膜の厚みを厚くして開口の深さを深くすれば、第2の配線パターンの厚みが厚くなってソース・ドレイン配線の配線抵抗が小さくなる。また、第2の配線パターンの厚みが厚くなくても第2の配線パターンは絶縁レジスト膜内に充填されているので、第2の配線パターンと絶縁レジスト膜との間が平坦化してその間に段差が形成されることはない。

【0021】本発明の請求項9に記載の発明は、ゲート配線がパターン形成された表示用基板上に、半導体層、絶縁膜を順次形成したのち、半導体層、絶縁膜の不要部を除去する工程と、ソース・ドレイン配線の基底部となる第1の配線パターンを表示用基板上に形成する工程と、半導体層、絶縁膜、および第1の配線パターンを覆って表示用基板に絶縁レジスト膜を形成する工程と、絶縁レジスト膜に、第1の配線パターンに達する開口を形成する工程と、前記開口が形成された絶縁レジスト膜を加熱処理する工程と、前記絶縁レジスト膜をマスクとしたメッキ法により、前記開口にソース・ドレイン配線の本体部となる第2の配線パターンを充填する工程と、表示用基板上に画素電極を形成する工程とを含むことに特徴を有しており、これにより請求項8と同様の作用を有する。本発明は、ソース・ドレイン配線を形成した表示用基板上に画素電極を形成する点で、請求項8と異なっており、これにより、画素電極とソース・ドレイン配線との間や画素電極とゲート配線との間には電氣的絶縁を維持することを目的とした離間間隔（マージン）を形成する必要がなくなる。

【0022】本発明の請求項10に記載の発明は、表示用基板上に表示用配線が形成された表示装置において、前記表示用配線は、表示用基板上に形成された透光性導電体からなる第1の配線パターンと、第1の配線パターン上に形成された遮光性導電体からなる第2の配線パターンとを有することに特徴を有しており、これにより次のような作用を有する。すなわち、表示用配線においては、遮光域となる第2の配線パターンの厚みを厚くすれば表示用配線の配線抵抗を小さくすることができる。ここで、第2の配線パターンはその幅が広くなると遮光域も広くなるものの、その厚みを厚くしても遮光域は広くない。そのため、第2の配線パターンの厚みを厚くして表示用配線の配線抵抗を小さくしても、表示用配線の遮光域が拡大することにはならない。

【0023】以下、本発明の実施の形態を図面を参照して説明する。

#### 【0024】第1の実施の形態

本実施の形態は本発明を透過型液晶表示装置に実施した



例であって、図1～図3には、その製造方法の各段階の状態を示す断面図が順に示されている。

【0025】まず、図1(a)に示すように、ガラス基板等の透明絶縁基板からなる表示用基板1を用意し、この表示用基板1上にゲート配線2の基底部となる第1の配線パターン2aをパターン形成する。第1の配線パターン2aは透明導電膜であるITOを用いる。これは、本実施の形態により製造される液晶表示装置が透過型液晶表示装置であるために選択された配線材料であって、他の液晶表示装置（反射型液晶表示装置）や他の表示装置に本発明を実施する場合には、第1の配線パターン2aはITOに限定されるものではなく、Cu、Cu合金、Ni、Ni合金、Pb、Fe、コパールなどメッキ可能な導電膜であればよい。第1の配線パターン2aはスパッタや蒸着などによって製膜したのち、写真製版工程およびエッチング工程からなるフォトリソグラフィ法により所定のパターンに加工形成する。

【0026】次に、図1(b)に示すように、第1の配線パターン2aの上から表示用基板1に絶縁レジスト膜3を形成する。絶縁レジスト膜3は誘電率3以下の感光性絶縁レジストからなり、スピナ（図示省略）等の製膜装置により膜厚1～2 $\mu$ m程度の膜厚に塗布形成したのちプリベークして形成する。

【0027】絶縁レジスト膜3の品種（材質）は、この配線構造が組み込まれる装置（本実施の形態では透過型液晶表示装置）およびその製造プロセスの仕様に依じて絶縁性、透明性、耐熱性、耐光性、耐薬品性、加工性、平坦性等を基準に選択される。本実施の形態では、例として、日本合成ゴム製のアクリル系ポジレジスト、または、ダウケミカル社製のシリコン系樹脂（XU71918：商品名）を用いているが、レジストは、加工形状によってネガタイプ、ポジタイプどちらであってもよい。

【0028】絶縁レジスト膜3のプリベークが終了した表示用基板1をマスク（図示省略）を介して露光現像したのちその感光部を除去することで、図1(b)に示す開口3aを形成する。開口3aは、第1の配線パターン2aの形成位置と一致する位置に、第1の配線パターン2aに達する深さに形成する。また、開口3aの幅 $\alpha$ は、第1の配線パターン2aのパターン幅 $\beta$ より狭く設定する。

【0029】開口3aを形成したのち、表示用基板1にポストベークを施して絶縁レジスト膜3を、透過型液晶表示装置の操作仕様などに必要な絶縁性、透明性、耐熱性、耐光性、耐薬品性、加工性、平坦性を備えた絶縁膜3'に変成させる。

【0030】次に、図1(c)に示すように、表示用基板1をメッキ液中に浸漬し、前記絶縁膜3'の開口部3aの底部に露出している第1の配線パターン2a上に、ゲート配線2の本体部となる第2の配線パターン2bを無電解メッキ法にて選択的に充填することで製膜する。

なお、第2の配線パターン2bは、絶縁膜3'の上面と略面一となる厚みに形成する。第2の配線パターン2bの材料としては、抵抗率10 $\mu\Omega\cdot\text{cm}$ 以下の金属が適当であり、第1の配線パターン2aにITOを用いた場合にはAuやInからなる第2の配線パターン2bをメッキ成膜できる。また、第1の配線パターン2aとして、Cu膜を形成した場合にはNiからなる第2の配線パターン2bを製膜できる。なお、AuやInは高価な材料であるが、メッキ製法により成膜するので、無駄なく用いることができ、高価な材料を用いているにもかかわらず、製造コストの上昇を最小限に抑えることができる。

【0031】このようにして、第1の配線パターン2aと第2の配線パターン2bとからなるゲート配線2が形成される。ゲート配線2は、開口3aの深さを深くすれば、第2の配線パターン2bの厚みが厚くなってその配線抵抗が小さくなるという特徴がある。

【0032】また、第2の配線パターン2bの厚みが厚くなっても第2の配線パターン2bは絶縁膜3'内にメッキ法により充填されているので、第2の配線パターン2bと絶縁膜3'とは平坦化して、両者の間に段差がほとんど形成されないという特徴がある。

【0033】さらには、ゲート配線2は表示用基板1の厚み方向に光を遮断する面積（遮光面積）が小さいという特徴がある。すなわち、ゲート配線2のうち、表示用基板1の厚み方向に沿って光を遮断するのは、第2の配線パターン2bだけである（第1の配線パターン2aは透明導電体であるITO）。第2の配線パターン2bは、その厚みを厚くすることでその配線抵抗の低減を達成している構造上、そのパターン幅（開口3aの幅 $\alpha$ と同じ）を広くする必要がなく、具体的には、第1の配線パターン2aのパターン幅 $\beta$ より狭くなっている。したがって、所望の配線抵抗を規定して考えた場合には、第2の配線2bは、その厚みを厚くするにしたがって、そのパターン幅が狭くなる。このような特徴により、第2の配線パターン2bの厚みを厚くするにしたがって、ゲート配線2の遮光面積が小さくなる。

【0034】そのうえ、第2の配線パターン2bの厚みを厚くしても、第2の配線パターン2bは、絶縁膜3'に対して平坦性の維持するので、絶縁膜3'の上にさらなる膜（後述するゲート絶縁膜4）を形成しても、形成した膜が第2の配線パターン2bと絶縁膜3'との間の境目で断線するといった不都合も起きない。

【0035】ゲート配線2を形成したのち、ゲート絶縁膜4、アモルファスシリコン（a-Si）からなるシリコン半導体層5、及びチャネル保護膜6を順に成膜する。なお、ゲート絶縁膜4の成膜に際しては、絶縁膜3'と第2の配線パターン2bとの間に段差がなく、両者の上面がほぼ平坦化しているので、断線を危惧することなくゲート絶縁膜4を任意の膜厚（薄さ）に成膜することができる。

【0036】ゲート絶縁膜4、シリコン半導体膜5、チャネル保護膜6を成膜したのち、ゲート配線2上のチャネル保護膜6をパターンニングする。チャネル保護膜6のパターンニングが終了すると、シリコン半導体層5にリンなどの不純物をドーピングして、 $n^+$ シリコン領域を形成し、 $n^+$ シリコン領域を形成したシリコン半導体層5をパターンニングする(図2(a)参照)。

【0037】次に、図2(b)に示すように、表示用基板1全面に膜厚100nm程度のITO膜を形成したのち、このITO膜をフォトリソグラフィ工程によりパターンニングすることで、第1の配線パターン7aと画素電極8とを同時に形成する。

【0038】次に、図2(c)に示すように、第1の配線パターン7a、画素電極8の上から表示用基板1に誘電率3以下の絶縁レジスト膜9を形成する。絶縁レジスト膜9は感光性絶縁レジストからなり、スピナー(図示省略)等の製膜装置により膜厚2~3 $\mu$ m程度の膜厚に塗布形成したのち、プリベークして形成する。

【0039】絶縁レジスト膜9の品種(材質)は、本実施の形態の配線構造が組み込まれる装置(本実施の形態では透過型液晶表示装置)およびその製造プロセスの仕様に応じて絶縁性、透明性、耐熱性、耐光性、耐薬品性、加工性、平坦性等を基準に選択される。本実施の形態では、例として、日本合成ゴム製のアクリル系ポジレジスト(PC302、HRC126等:ともに商品名)や可視光域に感度を有するダウケミカル社製のシリコン系樹脂(XU71918:商品名)等を用いる。レジストとしては、加工形状によってネガタイプ、ポジタイプどちらであってもよい。

【0040】絶縁レジスト膜9のプリベークが終了した表示用基板1をマスク(図示省略)を介して露光現像したのちその感光部を除去することで、図2(c)に示す第1の開口9a、第2の開口9bを形成する。第1の開口9aは、第1の配線パターン7aの形成位置と一致する位置に、第1の配線パターン7aに達する深さに形成する。また、第1の開口9aの幅 $\alpha'$ は、第1の配線パターン7aのパターン幅 $\beta'$ より狭く設定する。一方、第2の開口9bは、画素電極8の形成位置と一致する位置に、画素電極8に達する深さに形成する。

【0041】第1の開口9a、第2の開口9bを形成したのち、表示用基板1にポストベークを施して絶縁レジスト膜9を、透過型液晶表示装置の操作仕様などに必要な絶縁性、透明性、耐熱性、耐光性、耐薬品性、加工性、平坦性を備えた絶縁膜9'に変成させる。

【0042】次に、図3(a)に示すように、フォトリソレジスト膜10を形成し、さらに、フォトリソレジスト膜10にフォトリソグラフィ工程を施して、第1の配線パターン7aに達する第3の開口10aを第1の開口9aに位置合わせしたうえでパターン形成する。

【0043】フォトリソレジスト膜10および第3の開口1

0aを形成したのち、図3(b)に示すように、表示用基板1をメッキ液中に浸漬し、フォトリソレジスト膜10の第3の開口部10aの底部に露出している第1の配線パターン7a上に、ソース・ドレイン配線7の本体部となる第2の配線パターン7bを無電解メッキ法にて選択的に充填することで製膜する。なお、第2の配線パターン7bは、絶縁膜9'の上面と略面一となる厚みに形成する。

【0044】第2の配線パターン7bの材料としては、抵抗率 $10\mu\Omega\cdot\text{cm}$ 以下の金属が適当であり、第1の配線パターン7aにITOを用いた場合にはAuやInからなる第2の配線パターン7bをメッキ製膜できる。また、第1の配線パターン7aとして、Cu膜を形成した場合にはNiからなる第2の配線パターン7bを成膜できる。AuやInは高価な材料であるが、メッキ製法により成膜するので、無駄なく用いることができる。

【0045】そのうえ、第2の配線パターン7bの厚みを厚くしても、第2の配線パターン7bは、絶縁膜9'に対して平坦性を維持するので、絶縁膜9'の上にさらなる膜を形成しても、形成した膜が第2の配線パターン7bと絶縁膜9'との間の境目で断線するといった不都合も起きない。

【0046】次に、図3(c)に示すように、フォトリソレジスト膜10を剥離除去してTFTアレイが完成する。なお、必要に応じて絶縁保護膜となる $\text{SiN}_x$ 膜をパターン形成してもよい。

【0047】本実施の形態の製造方法では、ソース・ドレイン配線7の第1の配線7aと画素電極8とを一つの工程で作成することができるので、その分、製造の簡略化が図れるという利点がある。

【0048】本実施の形態の製造方法で製造した液晶表示装置のTFTアレイ基板の平面構成図を図4に示す。ゲート配線2の第1の配線パターン2aおよびソース・ドレイン配線7の第1の配線パターン7aは、ともに透光性導電体であるITOで構成されており透光域となる。一方、ゲート配線2の第2の配線パターン2bおよびソース・ドレイン配線7の第2の配線パターン7bはともにAu等の金属膜(遮光性導電体)で構成されており遮光域となる。各配線2、7の第1の配線パターン2a、7aと画素電極8との層間にはそれぞれ膜厚1~3 $\mu$ mの絶縁膜3'および9'を介装していることから画素電極8はゲート配線2の第2の配線パターン2bおよびソース・ドレイン配線7の第2の配線パターン7bの近傍まで設けることができ、その分、画素電極8の面積を大きくすることができる。

【0049】本実施の形態で製造された液晶表示装置のTFTアレイ基板は、ゲート配線2が光を遮断する面積を小さくすることができるうえ、ソース・ドレイン配線7が光を遮断する面積を小さくすることができる。そのため、液晶表示装置の開口率は大きくなり、明るい表示



を行うことができる。

【0050】具体的には、本実施の形態の製造方法で製造した液晶表示装置（以下、第1の実施の形態品という）の開口率と、従来の製造方法で製造した液晶表示装置（以下、第1の比較例品という）の開口率とは次のようになる。なお、第1の実施の形態品と第1の比較例品とはゲート配線やソース・ドレイン配線の構造が異なるものの、画素電極の配置構造を含むその他の構造は同様となっている。また、ここでは、3インチ（330×110画素）の液晶表示装置において開口率を比較した。

【0051】第1の実施の形態品と第1の比較例品とを比較した結果は次の通りである。すなわち、第1の比較例品では開口率60%であるのに対して、第1の実施の形態品では開口率80%となり、第1の実施の形態品の開口率が第1の比較例品に比べて向上している。

【0052】また、絶縁膜3' 9' やゲート絶縁膜4の絶縁特性によっては、画素電極8を、図4に示すように、ゲート配線2上に平面視重なり合わせた位置まで延出させた形状（図4では、この延出端に符号8aを付している）に形成することもできる。そうすれば、さらに画素電極8の面積を大きくすることができる。

#### 【0053】第2の実施の形態

本実施の形態は本発明を透過型液晶表示装置に実施した例であって、図5には、その製造方法の各段階の状態を示す断面図が順に示されている。

【0054】まず、図5（a）に示すように、前述した実施の形態1の製法と同一の製法により表示用基板1上に、ゲート配線2、絶縁膜3'、ゲート絶縁膜4、シリコン半導体層5、およびチャネル保護膜6を形成する（図1（a）～（c）および図2（a）参照）。

【0055】次に、図5（b）に示すように、表示用基板1全面に膜厚50nm程度のITO膜を形成したのち、このITO膜をフォトリソグラフィ工程によりパターンニングすることで、ソース・ドレイン配線11の基底部となる第1の配線パターン11aを形成する。

【0056】さらに、第1の配線パターン11aの上から表示用基板1に絶縁レジスト膜12を形成する。絶縁レジスト膜12は誘電率3以下の感光性絶縁レジストからなり、スピナー（図示省略）等の製膜装置により膜厚2～3μm程度の膜厚に塗布形成する。形成した絶縁レジスト膜12はプリベークしておく。

【0057】絶縁レジスト膜12の品種（材質）は、本実施の形態の配線構造が組み込まれる表示装置（本実施の形態では透過型液晶表示装置）およびその製造プロセスの仕様に応じて絶縁性、透明性、耐熱性、耐光性、耐薬品性、加工性、平坦性等を基準に選択される。本実施の形態では、例として、日本合成ゴム製のアクリル系ポジレジスト（PC302、HRC126等：ともに商品名）や可視光域に感度を有するダウケミカル社製のシリコン系樹脂（XU71918：商品名）等を用いる。レ

ジストとしては、加工形状によってネガタイプ、ポジタイプどちらであってもよい。

【0058】絶縁レジスト膜12のプリベークが終了した表示用基板1をマスク（図示省略）を介して露光現像したのちその感光部を除去することで、図5（b）に示す開口12aを形成する。開口12aは、第1の配線パターン11aの形成位置と一致する位置に、第1の配線パターン11aに達する深さに形成する。また、開口12aの幅 $\alpha'$ は、第1の配線パターン11aのパターン幅 $\beta'$ より狭く設定する。

【0059】開口12aを形成したのち、表示用基板1にポストベークを施して絶縁レジスト膜12を、透過型液晶表示装置の操作仕様などに必要な絶縁性、透明性、耐熱性、耐光性、耐薬品性、加工性、平坦性を備えた絶縁膜12'に変成させる。

【0060】次に、図5（c）に示すように、表示用基板1をメッキ液中に浸漬し、開口部12aの底部に露出している第1の配線パターン11a上に、ソース・ドレイン配線11の本体部となる第2の配線パターン11bを無電解メッキ法にて選択的に充填することで製膜する。

【0061】なお、第2の配線パターン11bは、絶縁膜12'の上面と略面一となる厚みに形成する。また、第2の配線パターン11bの材料としては、抵抗率10μΩ・cm以下の金属が適当であり、第1の配線パターン11aにITOを用いた場合にはAuやInからなる第2の配線パターン11bをメッキ製膜できる。

【0062】また、第1の配線パターン11aとして、Cu膜を形成した場合にはNiからなる第2の配線パターン11bを製膜できる。なお、AuやInは高価な材料であるが、メッキ製法により成膜するので、無駄なく用いることができ、高価な材料を用いているにもかかわらず、製造コストの上昇を最小限に抑えることができる。

【0063】次に、ITO等の透明導電膜からなる画素電極13をスパッタ製膜する。このとき、第2の配線パターン11bは絶縁膜12'内に充填されているので、第2の配線パターン11bと絶縁膜12'とは平坦化して、両者の間に段差がほとんど形成されない。そのため、断線を危惧することなく画素電極13を任意の膜厚（薄さ）に成膜することができる。

【0064】成膜した画素電極13は、フォトリソグラフィ工程により所定のパターンに加工形成する（図5（d）参照）。そして、必要に応じて絶縁保護膜となるSiNx膜（図示省略）をパターン形成して液晶表示装置のTFTアレイ基板が完成する。

【0065】上述のようにして形成されたソース・ドレイン配線11は、開口12aの深さを深くすれば、第2の配線パターン11bの厚みが厚くなってその配線抵抗が小さくなるという特徴がある。

【0066】また、ソース・ドレイン配線11は表示用



基板1の厚み方向に光を遮断する面積が小さいという特徴がある。すなわち、ソース・ドレイン配線11のうち、表示用基板1の厚み方向に沿って光を遮断するのは、第2の配線パターン11bだけである(第1の配線パターン11aは透明導電体であるITO)。第2の配線パターン11bは、その厚みを厚くすることでその配線抵抗の低減を達成している構造上、そのパターン幅(開口12aの幅 $\alpha'$ と同じ)を広くする必要がなく、具体的には、第1の配線パターン11aのパターン幅 $\beta'$ より狭くなっている。したがって、所望の配線抵抗を規定して考えた場合には、第2の配線11bは、その厚みを厚くするにしたがって、そのパターン幅が狭くなる。このような理由により、第2の配線パターン11bの厚みを厚くすることで、ソース・ドレイン配線11が光を遮断する面積を小さくすることができる。

【0067】本実施の形態で製造された液晶表示装置のTFTアレイ基板は、ゲート配線2が光を遮断する面積を小さくすることができるうえ、ソース・ドレイン配線11が光を遮断する面積を小さくすることができる。そのため、液晶表示装置の開口率(ゲート配線2とソース・ドレイン配線11とで囲まれた1画素の占有領域において、有効画素電極が占める割合)は大きくなり、明るい表示を行うことができる。

【0068】具体的には、本実施の形態の製造方法で製造した液晶表示装置(以下、第2の実施の形態品という)の開口率と、従来の製造方法で製造した液晶表示装置(以下、第2の比較例品という)の開口率とは次のようになる。なお、第2の実施の形態品と第2の比較例品とはゲート配線やソース・ドレイン配線の構造が異なるものの、画素電極の配置構造を含むその他の構造は同様となっている。また、ここでは、3インチ(330×110画素)の液晶表示装置において開口率を比較した。

【0069】第2の実施の形態品と第2の比較例品とを比較した結果は次の通りである。すなわち、第2の比較例品では開口率72%であるのに対して、第2の実施の形態品では開口率93%となり、第2の実施の形態品の開口率が第2の比較例品に比べて向上している。なお、第2の実施の形態品の開口率が、第1の実施の形態品の開口率より上回っている理由は次の通りである。すなわち、第1の実施の形態品においては、画素電極8はソース・ドレイン配線7やゲート配線2とほぼ同一平面上に形成されるため、画素電極8とソース・ドレイン配線7との間や画素電極8とゲート配線2との間には電氣的絶縁を維持することを目的とした離間間隔(マージン)を形成する必要がある。これに対して、第2の実施の形態品では、画素電極13を絶縁膜12'の上層側に設けて画素電極13とソース・ドレイン配線11や画素電極13とゲート配線2とを3次元的に分離する構造上、上記した離間間隔(マージン)を形成する必要がある。そのため、上記した離間間隔(マージン)を形成する必要が

ない分、第2の実施の形態品の開口率が第1の実施の形態品の開口率を上回っている。

【0070】上述した各実施の形態の製造方法では、ゲート配線2の形成前にアンダーコートを形成していないが、必要に応じてアンダーコート(例えばSiO<sub>2</sub>膜)を形成してもよい。また、各実施の形態では、第2の配線パターン2b、7b、11bを無電解メッキ法により形成していたが、これら第2の配線パターン2b、7b、11bを電解メッキ法によって形成することができるのもいうまでもない。

【0071】また、上述した各実施の形態では、シリコン半導体層5としてa-Siを用いたが、多結晶Siでもよいのはいうまでもない。また、ゲート配線2やソース・ドレイン配線7、11の第1の配線パターン2a、7a、11aと第2の配線パターン2b、7b、11bについてはメッキ処理にて密着性等特性が良好で低抵抗なもの組み合わせであればITO膜(第1の配線)とAu膜(第2の配線)との組み合わせに限るものではないのはいうまでもない。また、第1の配線パターン2a、7a、11aの製膜方法もスパッタ以外に、蒸着膜、メッキ膜などでもよいのもいうまでもない。

【0072】また、上述した各実施の形態では、透過型の液晶表示装置において本発明を実施していたが、反射型の液晶表示装置においても同様に実施することができる。この場合においても、画素領域の有効面積を大きくすることができる。

【0073】また、上述した各実施の形態では、液晶表示装置のTFTアレイ基板(アクティブマトリクス基板)において本発明を実施したが、マトリクス電極構造の各画素部に非線形素子やトランジスタが配置されていないマトリクス配線(例えばSTN液晶の表示用配線構造)といった表示装置の配線構造においても本発明を実施することができる。このような配線構造は、図1

(a)~図1(c)を参照して説明した第1、第2の実施の形態の製造方法の前半工程と同様の工程によって製造することができる。

【0074】また、本発明は液晶表示装置に限らず、他の表示装置においても同様に実施することができるのもいうまでもない。

【0075】

【発明の効果】以上のように本発明によれば、次のような効果が得られる。

【0076】請求項1、7、8、9の効果

本発明の製造方法によれば、絶縁膜の厚みを厚くして開口の深さを深くして、第2の配線パターンの厚みを厚くすれば、配線幅を広くすることなく、すなわち、開口率を低下させることなくその配線抵抗を小さくすることができる。しかも、第2の配線パターンを絶縁膜内に充填して、第2の配線パターンと絶縁膜とを平坦化しているため、配線抵抗を小さくするにあたって、第2の配線パ

ターンの厚みを厚くしても、第2の配線パターンの上層に形成する層に断線等の不都合が起こらなくなる。そのため、配線の低抵抗化と、開口率の向上（表示画面の明るさの向上）とを、製造上の不都合（断線等）を起こすことなく達成することができた。

【0077】請求項2の効果

第2の配線パターンを確実に開口に充填することができ、その分、製造精度が向上する。また、メッキ法はメッキ時間で膜厚を制御できる上、材料も製膜に必要な量だけの消費であることから高価な金（Au）でさえも無駄なく第2の配線パターンとして用いることができるので、製造コストの低減も図れる。

【0078】請求項3の効果

厚みのある絶縁膜を確実に形成することができ、その分、さらに製造精度が向上する。

【0079】請求項4の効果

絶縁性の高い絶縁膜を形成することができるうえに、レジストを層間絶縁膜として用いた場合の限界膜厚 $3\mu\text{m}$ を満足させることができ、精度の高い表示装置を製造することができる。

【0080】請求項5の効果

表示用配線を用いる装置の製造仕様および表示装置の操作仕様などに必要な絶縁性、透明性、耐熱性、耐光性、耐薬品性、加工性、平坦性などに対応することが可能となり、精度の高い表示装置を製造することができる。

【0081】請求項6の効果

開口を精度よく形成することができるようになり、その分、さらに、精度の高い表示装置を製造することが可能となる。

【0082】請求項10、11の効果

表示用配線の遮光域を第2の配線パターンのパターン幅に狭めることができた。そのため、第2の配線パターンの厚みを厚くすることで表示用配線の配線抵抗を下げれば、表示用配線の低抵抗化と、開口率の向上（表示画面の明るさの向上）とを両立させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の液晶表示装置の製造方法の前期工程を順に示す断面図である。

【図2】第1の実施の形態の液晶表示装置の製造方法の中期工程を順に示す断面図である。

【図3】第1の実施の形態の液晶表示装置の製造方法の後期工程を順に示す断面図である。

【図4】第1の実施の形態の製造方法で製造した液晶表示装置の要部を示す平面図である。

【図5】本発明の第2の実施の形態の液晶表示装置の製造方法の後期工程を順に示す断面図である。

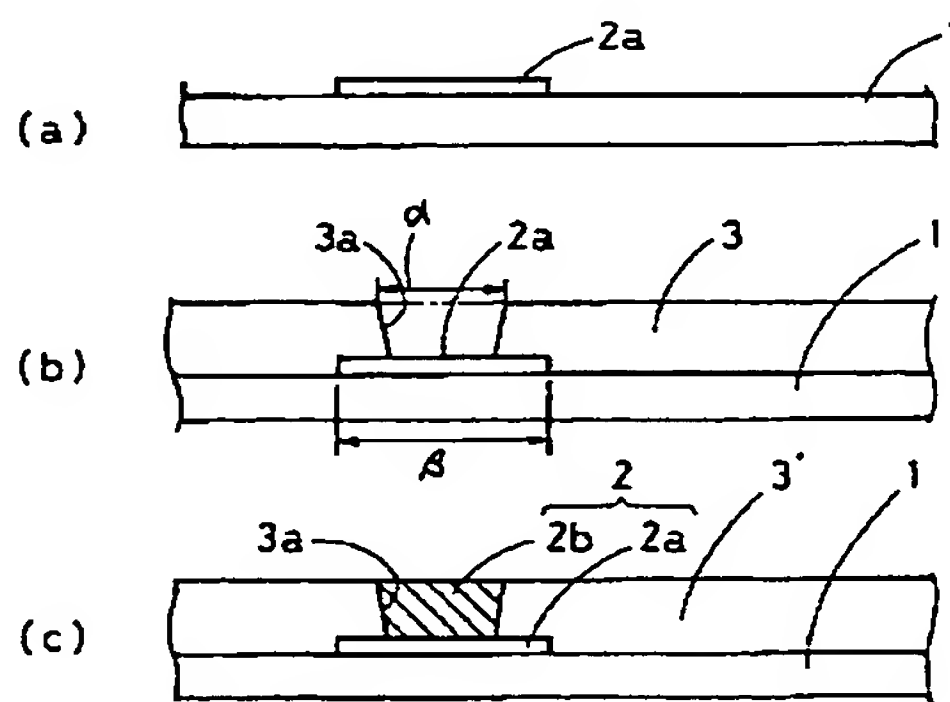
【図6】従来例の液晶表示装置の製造方法の工程を順に示す断面図である。

【図7】従来例の製造方法で製造した液晶表示装置の要部を示す断面図である。

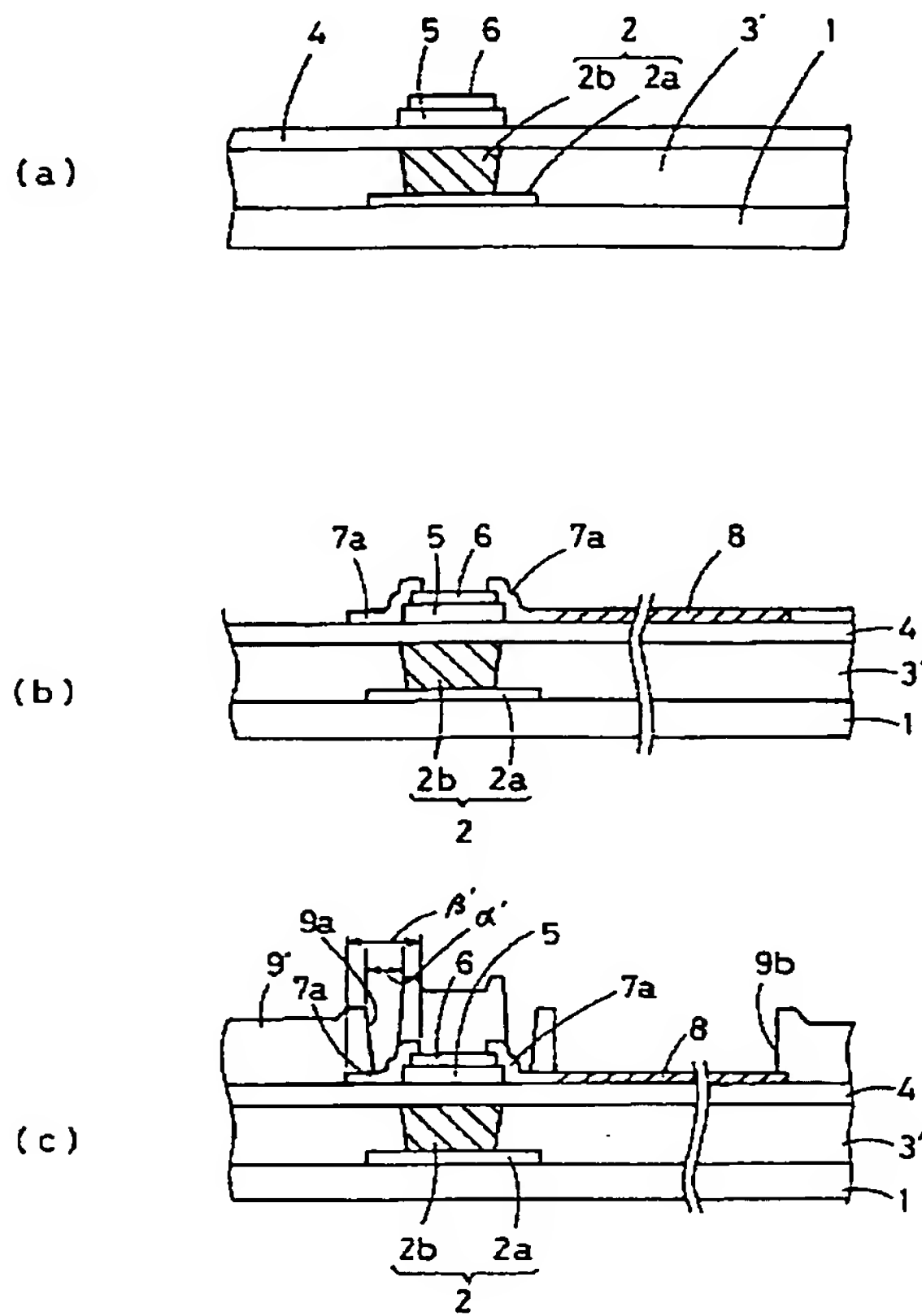
【符号の説明】

1	表示用基板	2	ゲート配線
2 a	第1の配線パターン	2 b	第2の配線パターン
3	絶縁レジスト膜	3 a	開口
3'	絶縁膜	4	ゲート絶縁膜
5	シリコン半導体層	7	ソース・ドレイン配線
7 a	第1の配線パターン	7 b	第2の配線パターン
8	画素電極ト膜	9	絶縁レジスト膜
9 a	第1の開口	9 b	第2の開口
9'	絶縁膜	10	フォトリソ
11	ソース・ドレイン配線	11 a	第1の配線パターン
11 b	第2の配線パターン	12	絶縁レジスト膜
12 a	開口	13	画素電極

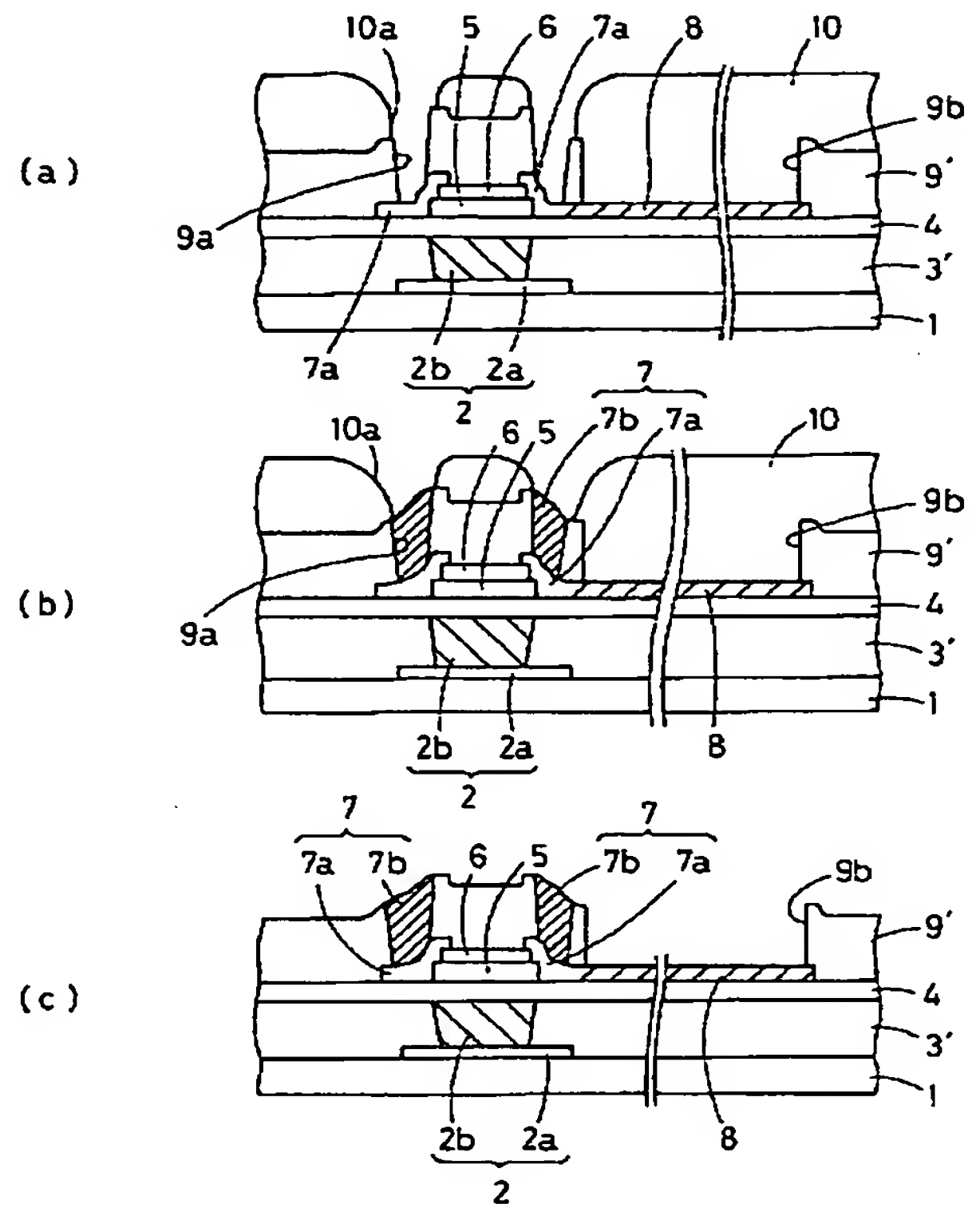
【図1】



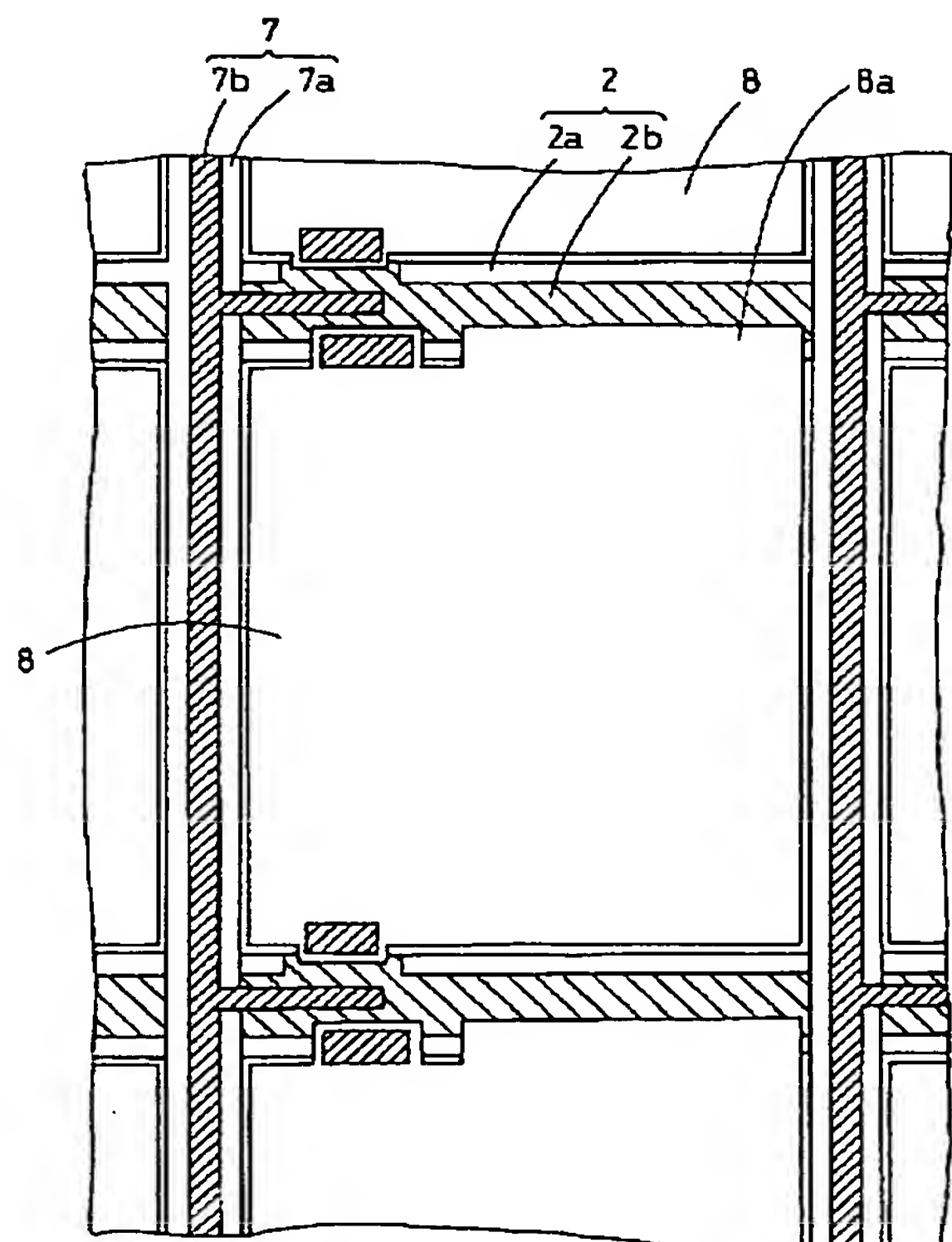
【図2】



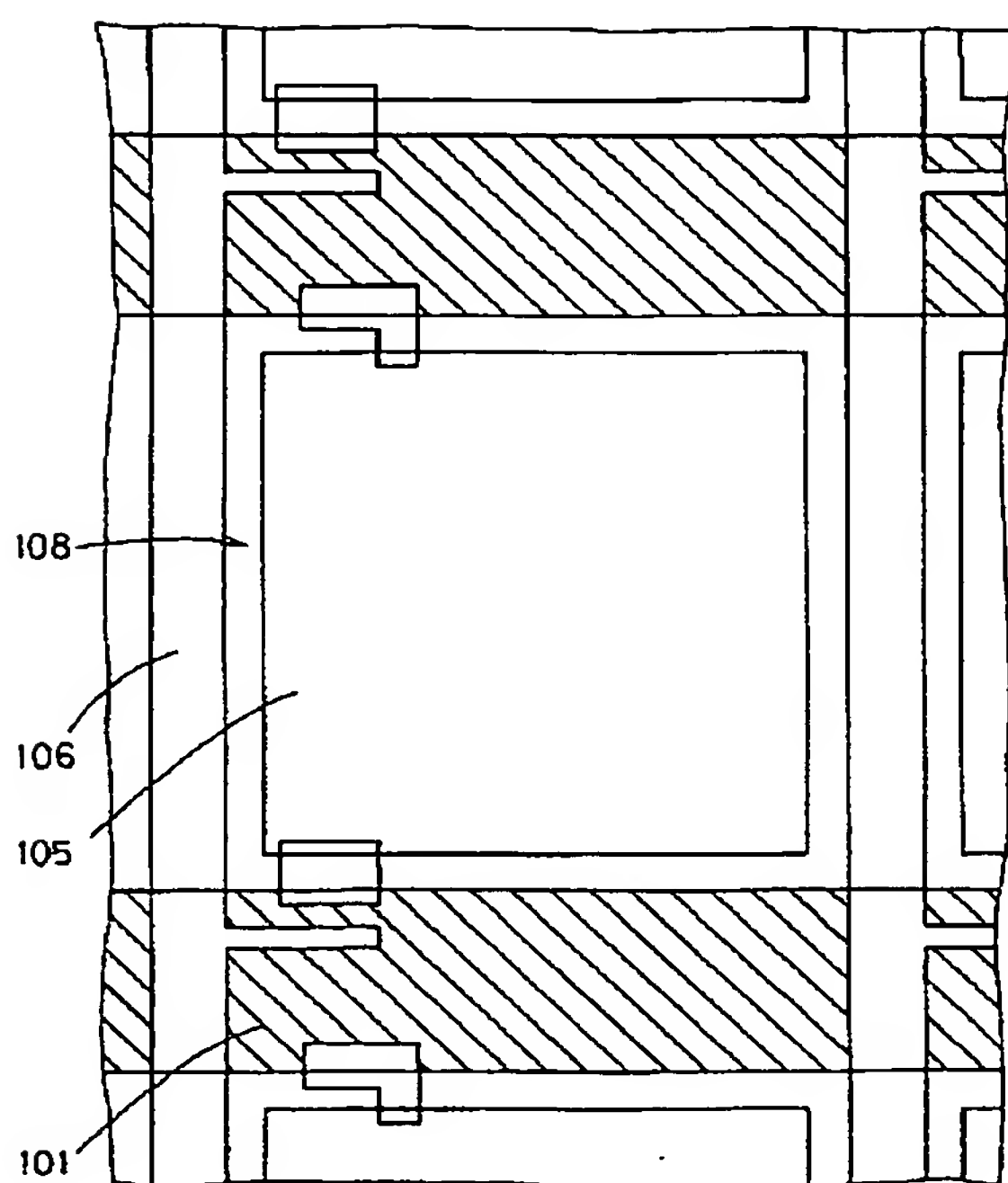
【図3】



【図4】

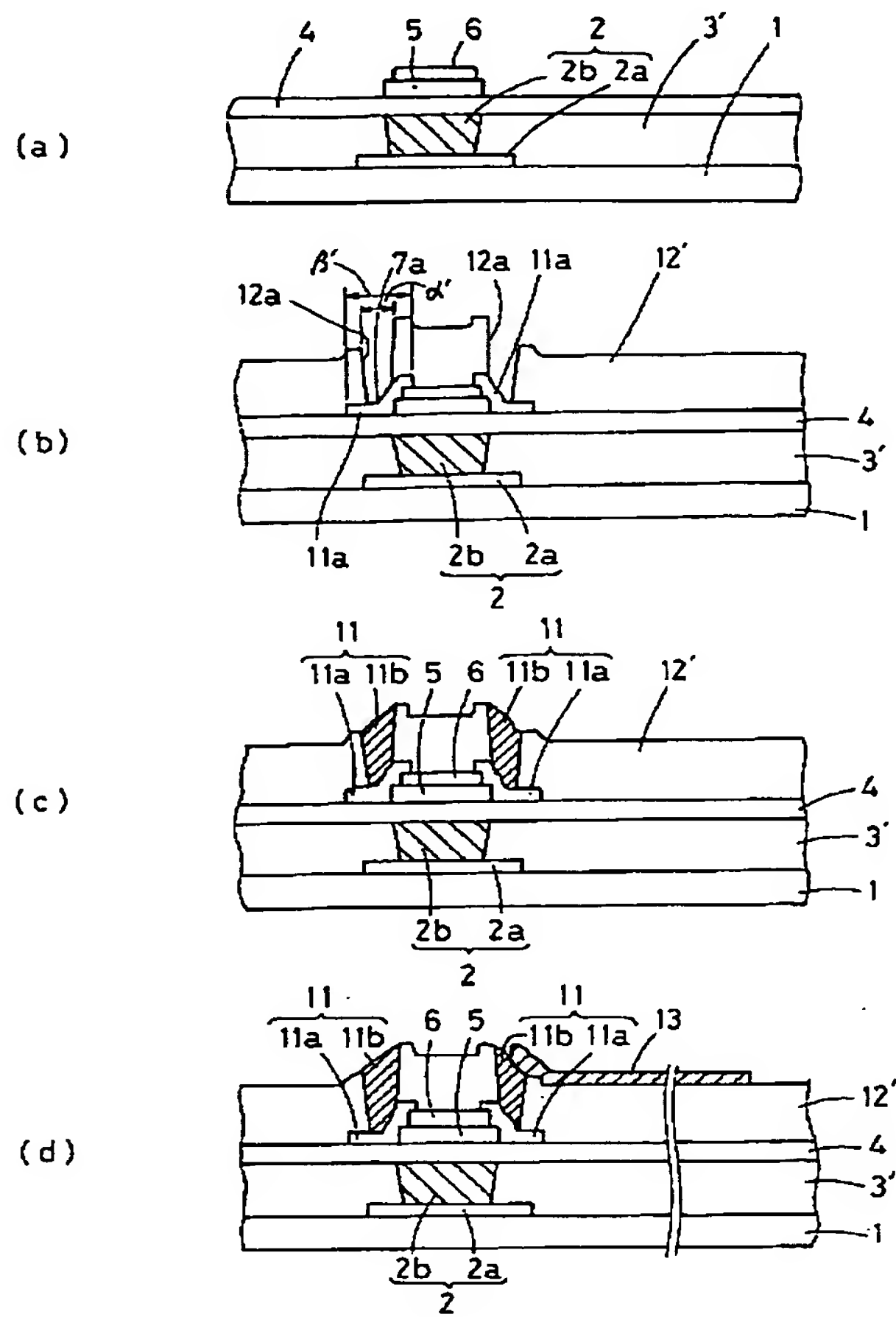


【図7】





【図5】



【図6】

